

УДК 004.312.44

М. Н. Альгин, В. Ю. Мельцов

АКТОРНАЯ МОДЕЛЬ ЛОГИКО-ПОТОКОВЫХ ВЫЧИСЛЕНИЙ ИСПОЛНИТЕЛЬНОГО БЛОКА МАШИНЫ ЛОГИЧЕСКОГО ВЫВОДА

Представление знаний о выбранной предметной области является, как правило, достаточно трудоёмкой задачей для интерпретации на ЭВМ, поэтому для работы с такой информацией необходимы новые семантические подходы к извлечению, представлению, хранению и обработке информации. К задачам интеллектуальной обработки данных и знаний относятся: логическое прогнозирование, управление предприятиями, транспортная логистика, бизнес-аналитика, медицинская и техническая диагностика и т.д. Количество вышеуказанных задач неуклонно растёт, а вычислительный аспект в них уходит на второй план. В статье рассматриваются проблемы создания высокопроизводительных систем обработки знаний. В настоящее время есть недостатки как при аппаратном, так и программном подходах. Целью работы является создание компьютерной модели машины логического вывода, которая лежит в основе любой системы обработки знаний. Создание такой модели позволит исследовать возможности повышения производительности систем обработки знаний и оценить эффективность различных конфигураций машин логического вывода при решении конкретных задач логического вывода. В результате создана компьютерная модель машины логического вывода. На данном этапе исследований предложены формулы для рекомендации примерной структуры машины логического вывода для оптимального решения конкретной задачи.

Ключевые слова: системы обработки знаний, машина логического вывода, компьютерная модель, исполнительный блок, блок унификации.

Главным компонентом любой системы искусственного интеллекта является машина логического вывода (МЛВ). В настоящее время известно достаточно большое количество МЛВ, различающихся заложенными в них моделями знаний, видами, методами и способами реализации логического вывода [1-3, 5, 8, 9].

Основная проблема, возникающая при создании подобных систем – это неэффективная программная реализация обработки знаний на серийных вычислительных микропроцессорах, а также отсутствие специализированных аппаратных средств обработки больших массивов символьной информации. Общим недостатком как программного, так и аппаратного подходов является низкая степень реализуемого параллелизма при решении практических задач искусственного интеллекта, несмотря на использование серийных многоядерных процессоров и появившихся средств параллельного программирования [1, 6, 9].

Для решения указанных проблем необходимо создавать специализированные быстродействующие аппаратные устройства логического вывода, для проектирования на их основе многомашинных систем обработки знаний, подобно хорошо зарекомендовавшим себя центрам обработки данных (ЦОД).

Целью данной работы является проведение начальных этапов проектирования новых вычислительных устройств машин логического вывода и их компьютерное моделирование для исследования возможности повышения производительности систем обработки знаний за счет аппаратной поддержки основных операций символьной обработки и оценки эффективности различных конфигураций МЛВ при решении конкретных задач логического вывода.

Для достижения данной цели необходимо решить следующие задачи:

- определить модель вычислений;
- определить обобщённую структуру МЛВ;
- разработать структуру и алгоритм работы исполнительного блока;
- определить систему команд и форматы команд исполнительного блока;
- определить форматы данных и сообщений;
- разработать компьютерной модель функционирования основных компонентов машины логического вывода;
- провести эксперименты на компьютерной модели и проанализировать результаты.

Ранее [4] был проведен обзор существующих методов логического вывода для реализации его в МЛВ, и был выбран ускоренный базовый метод парал-

лельного дедуктивного вывода на основе операции деления дизъюнктов (МЛВДД) в формальной системе логики предикатов первого порядка [9]. Данный метод является наиболее быстродействующим и обладает достаточно простым итерационным алгоритмом.

Для описания ускоренного метода на операционном уровне наиболее удобно использовать древовидное представление модели. При данном подходе модель логико-поточковых вычислений можно представить в виде множества абстрактных объектов (актеров), связанных посредством сообщений. Каждый актер представляет собой процесс, сопоставимый с процедурами МЛВДД (V-, N-, M-, U-процедуры и процедура завершения логического вывода).

Основными элементами абстрактной машины логического вывода являются: блок управления (БУ), исполнительный блок (ИБ) и блок рабочей памяти (БРП) для хранения операндов и служебной информации [1, 10]. Формальное описание задачи (исходные данные) размещается в рабочей памяти (БРП), связанной с исполнительным блоком. Обобщённая структура машины логического вывода приведена на рисунке 1.

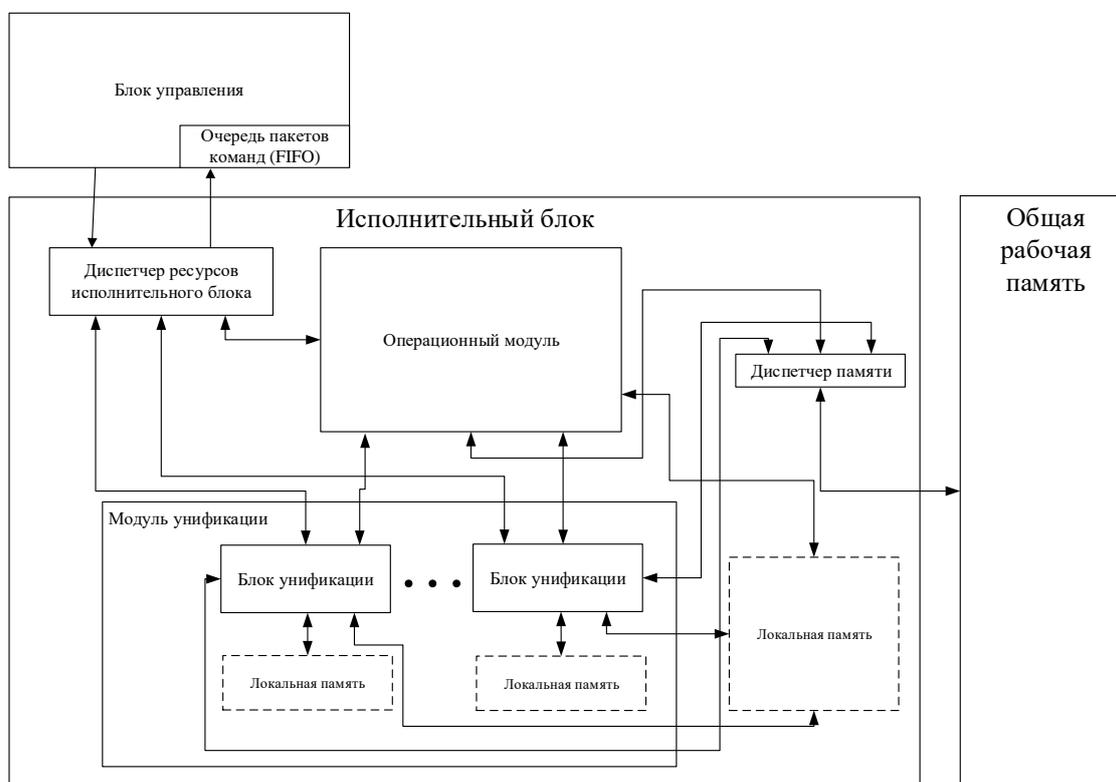


Рис. 1. Обобщённая структура МЛВ

Блок управления осуществляет заполнение фреймов команд, создаваемых в динамической памяти пакетов. Готовые к выполнению команды посылаются на исполнительный блок. Для взаимодействия с ИБ в блок управления введена очередь пакетов команд, функционирующая по принципу FIFO.

ИП является важнейшим компонентом машины логического вывода, так как его быстродействие в значительной степени определяет быстродействие всей системы целом [7]. Исполнительный блок обрабатывает процесс в соответствии с алгоритмом, предусмотренным для данного типа процесса. Результат вычислений заносится в память, а адрес данной ячейки посылается в блок управления.

Анализ функционирования модели разрабатываемой машины логического вывода показал, что значительно чаще других на исполнительном блоке будут выполняться команды унификации (U-процессы). Именно поэтому необходимо, чтобы каждый исполнительный блок мог иметь в своем составе несколько параллельно работающих блоков унификации.

Для работы с очередью команд и учета занятости различных узлов исполнительного блока введен диспетчер ресурсов. В его задачи входит распределение команд унификации, а также остальных команд логического вывода, которые не связаны с унификацией по мере освобождения узлов. Еще одним преимуществом его введения является освобождение операционного модуля от отправки команд в блоки унификации – это позволит не прерывать обработку текущих команд при поступлении U-процессов. Таким образом, операционный модуль занимается выполнением всех команд, за исключением команд унификации.

Для повышения производительности машины логического вывода было принято решение проанализировать возможность подключения нескольких параллельно работающих ИБ к одному блоку управления. Тогда, существует несколько вариантов организации блока рабочей памяти в составе машины логического вывода:

– общая рабочая память для всех исполнительных блоков (достаточно долгое обращение к памяти, необходимость разрешения конфликтов по доступу разных ИБ);

– общая рабочая память для всех исполнительных блоков с локальной памятью в каждом ИБ – по аналогии с кэш-памятью второго уровня в процессорах (позволит снизить частоту обращения к общей памяти, следовательно, ускорит работу блоков);

– общая рабочая память для всех исполнительных блоков с локальной памятью в каждом ИБ и локальной памятью у каждого блока унификации – по аналогии с кэш-памятью первого уровня в процессорах (ускорение операции унификации).

Все обращения в общую для исполнительных блоков рабочую память при недостатке данных в локальных хранилищах выполняются через диспетчер памяти. Таким образом разработанная структура удовлетворяет требованию как параллельного выполнения команд унификаций, так и параллельной работы нескольких ИБ в составе МЛВ.

Общий алгоритм функционирования исполнительного блока выглядит следующим образом. Работа ИБ начинается с инициализации, далее выполняется проверка наличия готовых к исполнению команд в очереди команд. После появления команды в очереди производится ее считывание, дешифрация и установка флага занятости в ИБ. В зависимости от кода операции исполнительный блок выполняет команду и на основе результатов формирует пакет результирующего сообщения в блок управления.

Для определения длительности различных операций в машине логического вывода было решено взять за длительность одного такта время выполнения операции унификации двух термов-констант [7]. Такая операция представляет собой сравнение двух аргументов (если они равны – унификация успешна, иначе – нет). Длительность всех остальных операций выражена в тактах.

Анализ проблемной области показал, что наиболее подходящими форматами команд, данных и сообщений будут форматы, определённые в работе [1]. Обработываемые данные являются сложноструктурированными тегированными массивами. Форматы команд и сообщений максимально точно соответствуют выбранной акторной модели логико-поточковых вычислений.

С учётом разработанных архитектурно-структурных решений машины логического вывода и детализированного алгоритма функционирования исполнительного блока была написана компьютерная модель МЛВ. Исходя из того, что компьютерная модель будет использоваться на ПК с операционной системой Windows 7 и выше, для реализации модели был выбран пакет Microsoft Visual Studio. Также был разработан удобный пользовательский интерфейс.

Работоспособность модели была проверена на известных тестовых задачах логического вывода, а также на «синтетических» примерах. Во всех случаях результат моделирования совпадал с «ручным» пошаговым решением данных задач, что говорит о корректной реализации как МЛВ, так и МЛВДД.

Для достижения основной цели проекта, а именно, – исследование возможностей повышения производительности систем обработки знаний и оценка эффективности различных конфигураций МЛВ при решении конкретных задач логического вывода, необходимо разработать сервис статистики. Данный модуль будет собирать информацию во время выполнения логического вывода всех узлов и блоков МЛВ: время работы (в зависимости от длительности такта), количество созданных процессов всех типов за время работы, длительность очереди на каждом шаге работы устройства, а также загрузка исполнительных блоков и блоков унификации в них. Кроме того, можно будет получить информацию о всех созданных процессах – на каком исполнительном блоке он выполнялся, время ожидания получения ресурсов, время выполнения, время ожидания результатов от дочерних процессов. Вся эта информация позволит определить наиболее узкие места в выбранной структуре МЛВ. Проанализировав данные параметры пользователь может выбрать наиболее оптимальную струк-

туру как исполнительного блока, так и машины в целом в зависимости от особенностей решаемой задачи.

На сегодняшний день данная проблема решена аналитическим способом. На исполнительных блоках количество выполняемых N -процессов соответствует количеству правил, записанных в базе знаний (в рамках одного V -процесса). Количество M -процессов примерно соответствует количеству потенциально унифицируемых пар предикатов (ПП) – предикаты с одинаковыми именами и количеством аргументов, из одного исходного правила и выводимого правила. Конечно, для более точных рекомендаций по выбору структуры МЛВ данных параметров недостаточно. Крайне сложно предсказать генерацию новых M -процессов после выполнения предыдущих, а также сколько V -процессов всего будет создано за весь процесс логического вывода. Поэтому, определив количество исходных посылок, плюс количество ПП в правилах, можно дать лишь примерное количество параллельно работающих исполнительных блоков.

$$N_{ИБ} = \sum_{i=0}^N C_i + N, \quad (1)$$

где: $N_{ИБ}$ – примерное число параллельно работающих ИБ,

C_i – количество ПП в i -том правиле,

N – количество правил.

Что касается блоков унификации, то на них выполняются U -процессы, одновременно создаваемое количество которых будет зависеть от максимального количества сопоставляемых пар предикатов (количество предикатов в правиле, умноженное на количество предикатов фактов).

$$N_{БУ} = \max(P_{N_i} * P_F), \quad (2)$$

где: $N_{БУ}$ – примерное число одновременно работающих БУ,

P_{N_i} – количество предикатов в i -том правиле,

P_F – количество предикатов-фактов.

Более точная структура МЛВ может быть определена, только после проведения ряда экспериментов на конкретной задаче пользователя, анализируя при этом статистику полученных результатов.

Таким образом, на начальном этапе проекта была разработана акторная модель логико-поточковых вычислений для ускоренного метода параллельного дедуктивного вывода на основе операции деления дизъюнктов в рамках логики предикатов первого порядка, разработаны структуры МЛВ и её основного компонента – исполнительного блока, написана и отлажена компьютерная программа моделирующая работу основных узлов и блоков МЛВ. Проведённые эксперименты показали корректность моделирования МЛВ и ИБ, а также позволили собрать численную информацию, необходимую для повышения эффективности выбора конкретного архитектурно-структурного решения МЛВ с учётом особенностей решаемой задачи пользователя.

Список литературы

1. *Meltsov V. Yu.* High-performance systems of deductive inference: Monograf. – Yelm, WA, USA : Science Book Publishing House, 2014. – 216 p.
2. *Meltsov V. Yu., Chistyakov G. A.* Development modules for specification of requirements for a system of verification of parallel algorithms // European researcher. Series A. – 2012. – № 5-1(20). – С. 511–514.
3. *Strabykin D., Meltsov V., Dolzhenkova M., Chistyakov G., Kuvaev A.* Formal verification and accelerated inference // Advances in Intelligent Systems and Computing. – 2016. – Т. 464. – С. 203–211.
4. *Альгин М. Н., Щёктова Я. В., Мельцов В. Ю.* Компьютерная модель процесса логического вывода ускоренным методом для исчисления предикатов // ОБЩЕСТВО, НАУКА, ИННОВАЦИИ (НПК – 2016) : сб. статей. – 2-е изд., испр. и доп. / Вятский государственный университет. – 2016. – С. 2130–2135.
5. *Ашинянц Р. А.* Логические методы в искусственном интеллекте. – М. : МГАПИ, 2001. – 312 с.
6. *Диринг М. Ф.* Архитектура машин для искусственного интеллекта // Реальность и прогнозы искусственного интеллекта. – М. : Мир, 1999. – С. 209–230.

7. Куваев А. С., Мельцов В. Ю. Проектирование исполнительного процессора с блоком последовательной унификации // Научно-технический вестник Поволжья. – 2015. – № 5. – С. 232–234.

8. Мельцов В. Ю., Страбыкин Д. А. Вывод следствий с построением схемы логического вывода // Фундаментальные исследования. – 2013. – № 11-8. – С. 1588–1593.

9. Страбыкин Д. А. Логический вывод в системах обработки знаний. – СПб. : СПбГЭТУ, 1998. – 164 с.

10. Шипицына А. А., Мельцов В. Ю. Структура интеллектуального модуля обработки знаний // Austrian Journal of Technical and Natural Sciences. – 2015. – № 11–12. – С. 20–23.

АЛЬГИН Максим Николаевич – магистрант кафедры электронных вычислительных машин, Вятский государственный университет. 610000, г. Киров, ул. Московская, 36.

E-mail: maksraun94@yandex.ru

МЕЛЬЦОВ Василий Юрьевич – кандидат технических наук, доцент кафедры электронных вычислительных машин, Вятский государственный университет. 610000, г. Киров, ул. Московская, 36.

E-mail: meltsov69@mail.ru